



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

JC979 U.S. PRO

10/091451



03/07/02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified here

申請日：西元 2001 年 03 月 08 日
Application Date

申請案號：090105470
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2001 年 6 月 7 日
Issue Date

發文字號：09011008165
Serial No.

205 (10)

申請日期: Mar. 8, 2001	案號: 90105470
類別:	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	回振抑制緩衝裝置
	英文	
二、 發明人	姓名 (中文)	1. 顏敬賢
	姓名 (英文)	1. YEN Chin-Hsien
	國籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：回振抑制緩衝裝置)

一種回振抑制緩衝裝置，耦接至一饋線，用以抑制自饋線所饋入之一排線信號之回振效應，回振抑制緩衝裝置包括比較器、終端可變電阻、終端控制器、抑制可變電阻與抑制控制器。本發明之作法係在排線信號由高位準降至低位準時，利用一較高的電壓將排線信號稍微拉升，以避免排線信號被過度拉低，如此，即可降低電壓的回振程度。本發明可將回振效應降至最低，使信號波形完整，且本裝置係位於晶片內部，可減少消耗的功率，也可減少晶片外部之電阻成本。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明是有關於一種回振抑制緩衝裝置，且特別是有關於一種適用於高頻低擺動之傳輸匯流排，並使用可變電阻，以抑制回振(Ring back)效應之裝置。

【發明背景】

由於現今電腦的速度愈來愈快，對能源消耗也要求愈低愈好，因此電腦中之傳輸匯流排漸往高頻低擺動(Low swing)發展。例如：GTL+(Gunning Transceiver Logic Plus)匯流排即是一種高頻低擺動之匯流排。GTL+匯流排係可用以作為個人電腦架構中北橋(North Bridge)與中央處理器(CPU)之間的傳輸匯流排。當高頻信號在一饋線中傳輸時，如果饋線的端點與接收端之阻抗不匹配，會形成反射波，造成信號失真，使接收端的信號不正確，此即回振效應(Ringback)。因此GTL+匯流排之饋線的端點需要終端電阻，一方面用以匹配阻抗減少回振效應，一方面用以拉升饋線的電壓。

GTL+匯流排係由數條饋線組合而成，每一饋線設有數個輸出節點，每一輸出節點皆有一比較器。比較器係用以接收此饋線之排線信號，與一參考電壓比較後輸出一比較信號，當排線信號小於參考電壓時，排線信號即被判讀為低位準，此時比較器輸出低位準之比較信號，當排線信號大於參考電壓時，排線信號即被判讀為高位準，此時比較器輸出高位準之比較信號；如此，即可保證接收排線信號的準確性。饋線的輸出節點如為饋線的兩端點，則因為



五、發明說明 (2)

阻抗不匹配之原因，需要一終端電阻，一方面用以匹配阻抗，以抑制回振(Ringback)效應，一方面用以拉升此饋線的電壓。請參照第1圖，其所繪示為傳統作法之回振抑制緩衝裝置示意圖。此回振抑制緩衝裝置包括終端電阻R與比較器102，且終端電阻R為定電阻。比較器102可接收GTL+匯流排之饋線L上的排線信號，並與參考電壓Vref比較，決定此排線信號Vi為高位準或低位準，並輸出比較信號Vc。其中電壓Vtt乃GTL+匯流排之拉升電壓，其電壓值可以是1.5伏特，而參考電壓Vref可以是1伏特。當饋線L之排線信號Vi為高位準時，終端電阻R兩端電壓相等，故沒有電流流過終端電阻R，因此沒有功率消耗。當饋線L之排線信號Vi由高位準降至低位準時，由於有終端電阻R匹配阻抗，因此不會產生回振效應。需要注意的是，當饋線L之排線信號Vi為低位準時，便會在終端電阻R兩端形成電位差，如此，便會有電流流經終端電阻R，由於此電流相當大，因此會產生大量的功率消耗。另一方面，由於匯流排的每條傳輸線的輸出端皆須有終端電阻，如此一來，也大幅增加了電路的成本。

為改善上述缺點，傳統上另外一種作法，係利用可變電阻作為回振抑制緩衝裝置，當排線信號Vi為低位準時可令可變電阻值近似無窮大，以阻絕電流流過，進而達到減低功率消耗的目的。請參照第2圖，其所繪示乃另一傳統作法之利用可變電阻作為終端電阻的回振抑制緩衝裝置示意圖，用以裝設在饋線L之輸出端點，此作法可參考美國

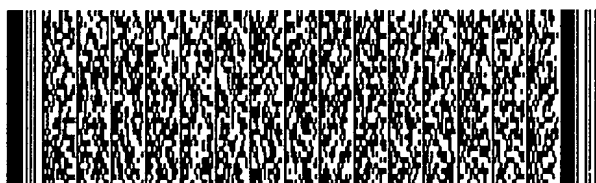


五、發明說明 (3)

專利6,133,755號。此緩衝裝置包括終端控制器202、終端可變電阻 R_t 與比較器203。當饋線L的排線信號 V_i 為高位準時，終端控制器202可將終端控制信號 s_t 饋入終端可變電阻 R_t ，以調整終端可變電阻 R_t 為低電阻值；此時，終端可變電阻 R_t 可用以匹配阻抗，以減少回振效應，並可藉由電壓 V_{tt} 拉升饋線L之電壓，提高信號穩定度，此時由於終端可變電阻 R_t 兩端的電壓相等，因此不會產生功率消耗。當饋線L之排線信號 V_i 為低位準時，終端控制器202可將終端控制信號 s_t 饋入終端可變電阻 R_t ，以調整終端可變電阻 R_t 為高電阻值，故此時流過終端可變電阻 R_t 之電流幾乎為零，因此可將功率消耗降至最低。再者，此終端可變電阻 R_t 可設於晶片內，以減少外部電阻的成本。

但需要注意的是，在排線信號 V_i 由高位準降至低位準的瞬間，終端可變電阻 R_t 如果不具有良好的線性電流對電壓關係曲線(linear I-V curve)，將導致不良的阻抗匹配，仍將造成排線信號 V_i 的電壓位準過度拉低(undershoot)，進而導致排線信號 V_i 的電壓回振。下文將配合圖式，說明利用定電阻或可變電阻作為終端電阻時，對電壓回振的抑制效果的比較，及電壓回振效應對排線信號 V_i 所造成影響。

請參照第3A圖，其所繪示乃第1圖中排線信號 V_i 之狀態轉換示意圖。當排線信號改變時，由圖中可知回振效應可以被有效的抑制。其中，位元時間 t_b 係為傳送一位元所需的時間。接著請參照第3B圖，其所繪示乃第2圖中排線



五、發明說明 (4)

信號 V_i 之狀態轉換示意圖。由於在積體電路內，此終端可變電阻 R_t 係以電晶體實現，使得回振效應的抑制效果不如傳統上使用定電阻的作法，因而當排線信號改變時，便會產生較大的回振效應。其中端點A乃過度拉低點(undershooting)，端點B乃回振點(ringback)，如端點B之回振值與參考電壓 V_{ref} 之差小於0.2伏特，便會造成排線信號位準判讀錯誤。當GTL+匯流排之工作頻率為100MHz時，利用終端可變電阻 R_t 抑制回振尚勉強可達預期效果；但是當GTL+匯流排之工作頻率達到133MHz時，由於信號變化趨於劇烈，也使得此裝置之回振效應增大，故無法正確判斷排線信號的位準，造成讀取錯誤。

【發明目的及概述】

有鑑於此，本發明的目的就是在提供一種回振抑制緩衝裝置，以提供更佳的回振抑制，保持匯流排信號的完整。

根據本發明的目的，提出一種回振抑制緩衝裝置，耦接至一饋線，用以抑制自饋線所饋入之一排線信號之回振(Ringback)效應，回振抑制緩衝裝置包括比較器、終端可變電阻、終端控制器、抑制可變電阻與抑制控制器。比較器係耦接至此饋線，用以將排線信號與一參考電壓比較，以輸出一比較信號。終端可變電阻之一端耦接至一終端直流電壓，終端可變電阻之另一端耦接至饋線，用以依據一終端控制信號調整終端可變電阻之電阻值，以提供饋線所



五、發明說明 (5)

需之維持電壓。終端控制器係耦接至比較器及終端可變電阻，用以依據比較信號輸出終端控制信號。抑制可變電阻之一端耦接至一抑制直流電壓，抑制可變電阻之另一端耦接至饋線，用以依據一抑制控制信號調整抑制可變電阻之電阻值，以提供饋線所需之抑制電壓。抑制控制器，耦接至比較器及抑制可變電阻，用以依據比較信號輸出抑制控制信號。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

【較佳實施例】

本發明之回振抑制緩衝裝置適用於高頻低擺動的匯流排，以下以GTL+匯流排為例，詳細說明本發明的實施原理與方法。請參照第4圖，其所繪示乃依照本發明一較佳實施例之回振抑制緩衝裝置的示意圖。此緩衝裝置係耦接至GTL+匯流排之一饋線L，用以抑制自饋線L所饋入之一排線信號 V_i 之回振效應。此回振抑制緩衝裝置包括比較器402、終端可變電阻 R_t 、終端控制器404、抑制可變電阻 R_e 與抑制控制器408。當排線信號 V_i 由高位準降至低位準後，比較器402可將比較信號 V_c 饋入終端控制器404，終端控制器404在收到比較信號 V_c 後，即可據以將終端控制信號 $Ctrl1$ 饋入終端可變電阻 R_t ，使其阻值增加，以抑制電

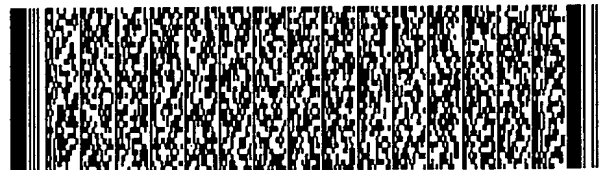
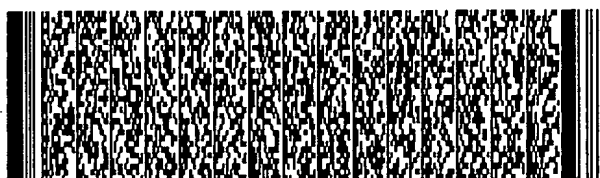


五、發明說明 (6)

流流過；此等動作原理已於上文中詳述，於此便不多作說明。但需要注意的是，由於排線信號 V_i 由高位準降至低位準時會因阻抗不匹配而使排線信號 V_i 的電壓位準被過度拉低(undershoot)，進而形成電壓回振；為抑制電壓回振的產生，本發明之作法係在排線信號 V_i 由高位準降至低位準時，利用一較高的電壓將排線信號 V_i 稍微拉升，以避免排線信號 V_i 被過度拉低，如此，即可降低電壓的回振程度。

在作法上，係將抑制可變電阻 R_e 之一端耦接至一抑制直流電壓 V_h ，另一端耦接至饋線 L ，用以依據一抑制控制信號 $Ctrl2$ 調整抑制可變電阻 R_e 之電阻值，以提供饋線 L 所需之抑制電壓。抑制控制器408係耦接至比較器402及抑制可變電阻 R_e ，用以依據比較信號 V_c 輸出抑制控制信號 $Ctrl2$ 。其中，參考電壓 V_{ref} 係為1伏特。終端直流電壓 V_{tt} 係為1.5伏特。抑制直流電壓 V_h 係大於終端直流電壓 V_{tt} ，抑制直流電壓 V_h 為2.5或2.6伏特。

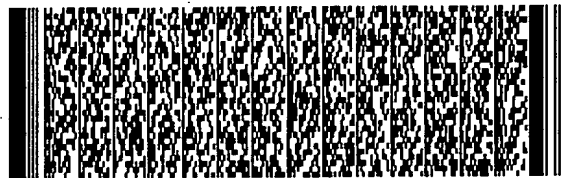
請參照第5圖，其所繪示乃第4圖之一例回振抑制緩衝裝置電路圖。終端可變電阻 R_t 包括一PMOS電晶體 $Q1$ ，當終端控制信號 $Ctrl1$ 為高位準時，電晶體 $Q1$ 係為不導通，當終端控制信號 $Ctrl1$ 由高位準降低至低位準時，電晶體 $Q1$ 之電阻值亦隨之變小。抑制可變電阻 R_e 包括一PMOS電晶體 $Q2$ ，當抑制控制信號 $Ctrl2$ 為高位準時，電晶體 $Q2$ 係為不導通，電晶體 $Q2$ 之電阻值近似於無限大，當抑制控制信號 $Ctrl2$ 由高位準降低至低位準時，電晶體 $Q2$ 之電阻值亦隨之變小。終端控制器404包括PMOS電晶體 $Q3$ 、NMOS電晶體



五、發明說明 (7)

Q4 與延遲器 504。PMOS 電晶體 Q3 與 NMOS 電晶體 Q4 係構成一反相器。延遲器 504 用以將比較信號 V_c 延遲此延遲時間 t_1 ，然後此延遲後的比較信號經由電晶體 Q3 與 Q4 組成的反相器反相後並輸出。抑制控制器 408 係包括 NAND 閘 508、反相器 510 與延遲器 506。延遲器 506 用以將比較信號 V_c 延遲此延遲時間 t_1 ，反相器 510 用以將比較信號 V_c 反相，經過 NAND 閘 508 進行 NAND 運算後，產生一脈波，使抑制可變電阻 R_e 之電阻值轉換為低電阻值，於此延遲時間 t_1 後，抑制可變電阻 R_e 之電阻值轉換為高電阻值 R_{eh} 。其中，PMOS 電晶體 Q3 係為微弱電晶體，微弱 PMOS 電晶體 Q3 需一轉換時間 t_2 才能將終端可變電阻 R_t 之電阻值由低電阻值轉換至高電阻值。NAND 閘 508 亦包括一微弱 PMOS 電晶體，此微弱 PMOS 電晶體需一轉換時間 t_3 才能將抑制可變電阻 R_e 值之電阻值由低電阻值 R_{el} 轉換至高電阻值 R_{eh} 。此些微弱電晶體的目的係用以防止電阻變化過劇，反而造成更多的反射波。

請同時參照第 6 圖，其所繪示乃排線信號 V_i 、抑制控制信號 $Ctrl_2$ 、抑制可變電阻 R_e 電阻值、終端控制信號 $Ctrl_1$ 與終端電阻 R_t 之波形圖。當排線信號 V_i 為高位準時，抑制可變電阻 R_e 之電阻值係高電阻值 R_{eh} ，終端可變電阻 R_t 係為低電阻值 R_{tl} 。當排線信號 V_i 由高位準降至小於參考電壓 V_{ref} 時，比較信號 V_c 由高位準轉換至低位準，抑制控制器 408 依據比較信號 V_c 輸出抑制控制信號 $Ctrl_2$ ，以令抑制可變電阻 R_e 之電阻值為低電阻值。此時，抑制可變電阻 R_e 與終端可變電阻 R_t 均為導通，由於抑制直流電壓



五、發明說明 (8)

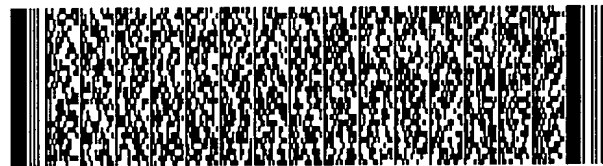
V_h 係大於終端直流電壓 V_{tt} ，將抑制可變電阻 R_e 導通可以增加對饋線 L 的拉升能力，使過度拉低減小，進而使回振效應減低。經過延遲時間 t_1 後，即進行結束抑制控制。結束抑制控制需緩緩的將抑制可變電阻 R_e 與終端可變電阻 R_t 的電阻值漸漸增加，以避免增加太快造成阻抗不匹配而形成的反射波。首先，抑制控制信號 $Ctrl_2$ 之電壓位準開始上升，使得抑制可變電阻 R_e 之電阻值開始上升；且終端控制器 404 所輸出之終端控制信號 $Ctrl_1$ 之電壓位準亦開始增加，使得終端電阻 R_t 之電阻值也開始增加。於轉換時間 t_2 後，終端控制信號 $Ctrl_1$ 之電壓位準上升至高位準 H ，使得終端電阻 R_t 之電阻值也上升至高電阻值 R_{th} ，以節省功率消耗。抑制控制信號 $Ctrl_2$ 的電壓位準則需轉換時間 t_3 的時間方能上升至高位準，以使抑制可變電阻 R_e 上升至高電阻值 R_{eh} ，以結束抑制控制。

請參照第 7 圖其所繪示乃經本發明抑制回振效應後之排線信號 V_i 波形圖，可知回振效應已經受到抑制，使信號波形完整。且適時的將可變電阻關閉也減少消耗的功率，並且本裝置係位於晶片內部，也可減少晶片外部之電阻成本。

【發明效果】

本發明上述實施例所揭露之回振抑制緩衝裝置，可抑制回振效應，使信號波形完整，本裝置係位於晶片內部，可減少消耗的功率，也可減少晶片外部之電阻成本。

綜上所述，雖然本發明已以一較佳實施例揭露如上，



五、發明說明 (9)

然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式之簡單說明】

第1圖繪示乃傳統作法之利用定電阻做為終端電阻之回振抑制緩衝裝置示意圖。

第2圖繪示乃另一傳統作法之利用可變電阻作為終端電阻的回振抑制緩衝裝置示意圖。

第3A圖繪示乃第1圖中排線信號 V_i 之狀態轉換示意圖。

第3B圖繪示乃第2圖中排線信號 V_i 之狀態轉換示意圖。

第4圖繪示乃依照本發明一較佳實施例之回振抑制緩衝裝置的示意圖。

第5圖繪示乃第4圖之一例回振抑制緩衝裝置電路圖。

第6圖繪示乃排線信號、抑制控制信號與抑制可變電阻值之波形圖。

第7圖繪示乃經本發明抑制回振效應後之排線信號波形圖。

【圖式標號說明】

102、203、402：比較器

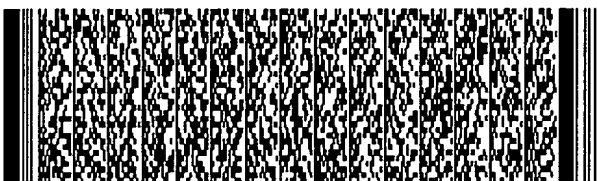
202、404：終端控制器

408：抑制控制器

504、506：延遲器

508：NAND閘

510：反相器



六、申請專利範圍

1. 一種回振抑制緩衝裝置，耦接至一饋線，用以抑制自該饋線所饋入之一排線信號之回振(Ringback)效應，該回振抑制緩衝裝置包括：

一比較器，耦接至該饋線，用以將該排線信號與一參考電壓比較，以輸出一比較信號；

一終端控制器，耦接至該比較器，用以依據該比較信號輸出一終端控制信號；

一終端可變電阻，耦接至一終端直流電壓與該饋線，用以依據該終端控制信號調整該終端可變電阻之電阻值，以提供該饋線所需之維持電壓；

一抑制控制器，耦接至該比較器，用以依據該比較信號輸出該抑制控制信號；以及

一抑制可變電阻，耦接至一抑制直流電壓與該饋線，用以依據該抑制控制信號調整該抑制可變電阻之電阻值，以提供該饋線所需之抑制電壓。

2. 如申請專利範圍第1項所述之回振抑制緩衝裝置，其中，當該排線信號為高位準時，該終端可變電阻之電阻值係為低電阻值，當該排線信號由高位準降至小於該參考電壓時，該比較信號轉換為低位準，該終端控制器依據該比較信號輸出該終端控制信號，以令該終端可變電阻之電阻值為高電阻值。

3. 如申請專利範圍第2項所述之回振抑制緩衝裝置，其中，當該比較信號由高位準降至低位準之後，該終端可變電阻之電阻值開始增加，經一轉換時間後方增加至高電



六、申請專利範圍

阻值。

4. 如申請專利範圍第1項所述之回振抑制緩衝裝置，其中，當該排線信號為高位準時，該抑制可變電阻之電阻值係高電阻值，當該排線信號由高位準降至小於該參考電壓時，該比較信號轉換為低位準，該抑制控制器依據該比較信號輸出該抑制控制信號，以令該抑制可變電阻之電阻值為低電阻值，經過一延遲時間後，該抑制可變電阻之電阻值由低電阻值轉換至高電阻值。

5. 如申請專利範圍第4項所述之回振抑制緩衝裝置，其中當該比較信號由高位準降至低位準時，該抑制可變電阻之電阻值由高電阻值降為低電阻值，經過該延遲時間後，該抑制可變電阻之電阻值開始上升，並於一轉換時間後方增加至高電阻值。

6. 如申請專利範圍第1項所述之回振抑制緩衝裝置，其中該終端控制器包括一微弱電晶體，該微弱電晶體需一轉換時間才能將該終端可變電阻之電阻值由低電阻值轉換至高電阻值。

7. 如申請專利範圍第6項所述之回振抑制緩衝裝置，其中該微弱電晶體係PMOS電晶體。

8. 如申請專利範圍第1項所述之回振抑制緩衝裝置，其中該抑制控制器包括一微弱電晶體，該微弱電晶體需一轉換時間才能將該抑制可變電阻值之電阻值由低電阻值轉換至高電阻值。

9. 如申請專利範圍第8項所述之回振抑制緩衝裝置，



六、申請專利範圍

其中該微弱電晶體係PMOS電晶體。

10. 如申請專利範圍第1項所述之回振抑制之裝置，其中該終端可變電阻包括一PMOS電晶體。

11. 如申請專利範圍第1項所述之回振抑制之裝置，其中該抑制可變電阻包括一PMOS電晶體。

12. 如申請專利範圍第1項所述之回振抑制之裝置，其中該參考電壓係為1伏特。

13. 如申請專利範圍第1項所述之回振抑制之裝置，其中該終端直流電壓係為1.5伏特。

14. 如申請專利範圍第1項所述之回振抑制之裝置，其中該抑制直流電壓係大於該終端直流電壓。

15. 如申請專利範圍第1項所述之回振抑制之裝置，其中該抑制直流電壓係為2.5至2.6伏特。

16. 如申請專利範圍第1項所述之回振抑制之裝置，其中該饋線係一GTL+匯流排上之一饋線。



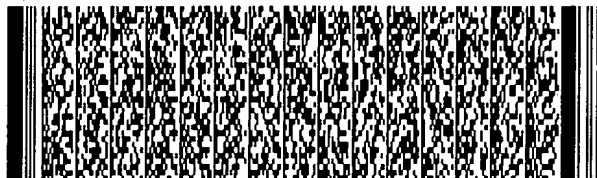
第 1/16 頁



第 2/16 頁



第 4/16 頁



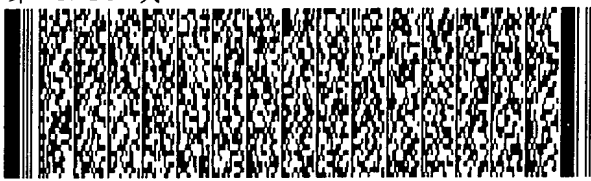
第 4/16 頁



第 5/16 頁



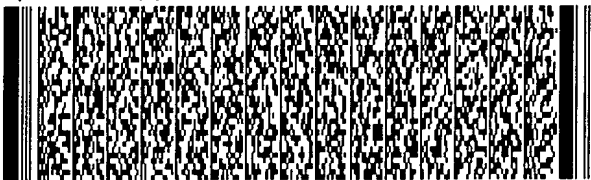
第 5/16 頁



第 6/16 頁



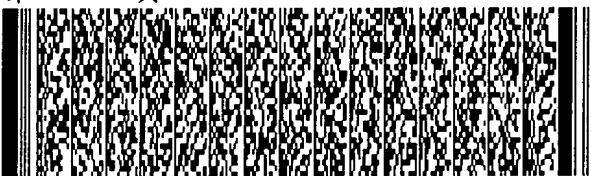
第 6/16 頁



第 7/16 頁



第 7/16 頁



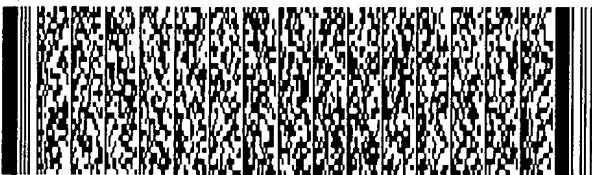
第 8/16 頁



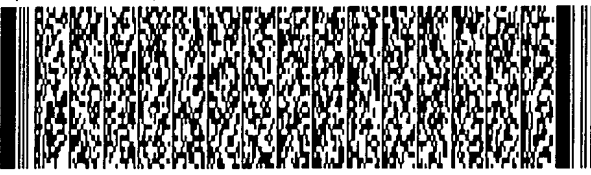
第 8/16 頁



第 9/16 頁



第 9/16 頁



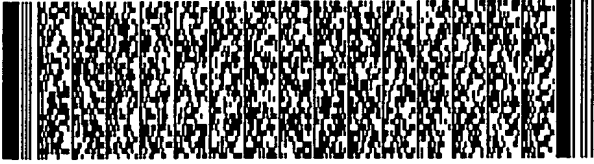
第 10/16 頁



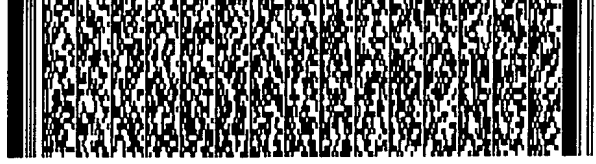
第 10/16 頁



第 11/16 頁



第 11/16 頁



第 12/16 頁



第 13/16 頁



第 14/16 頁

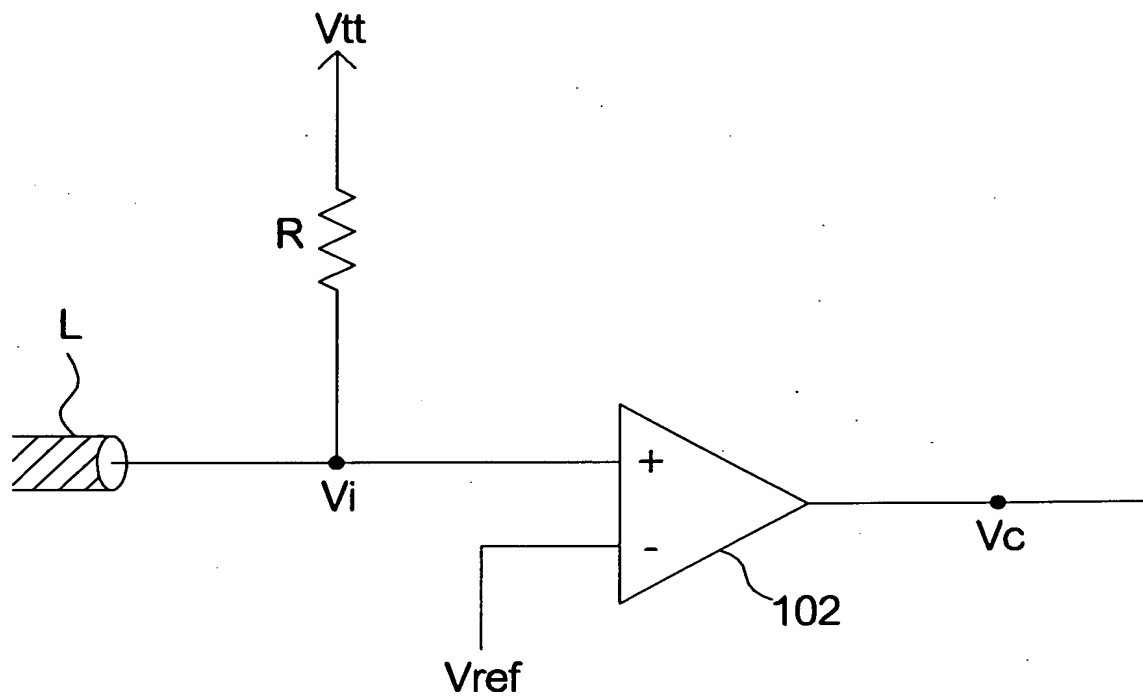


第 15/16 頁

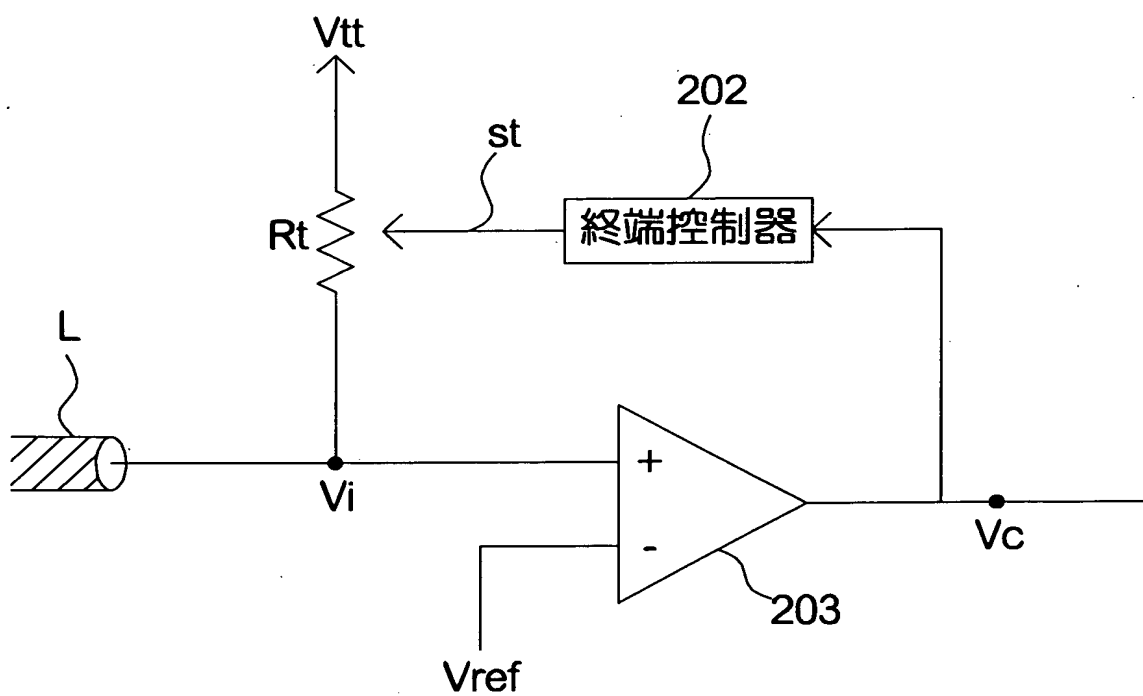


第 16/16 頁

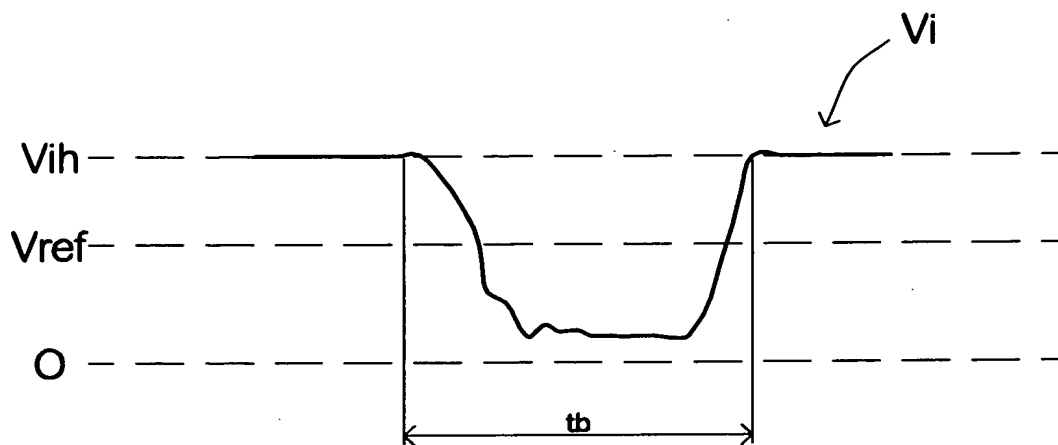




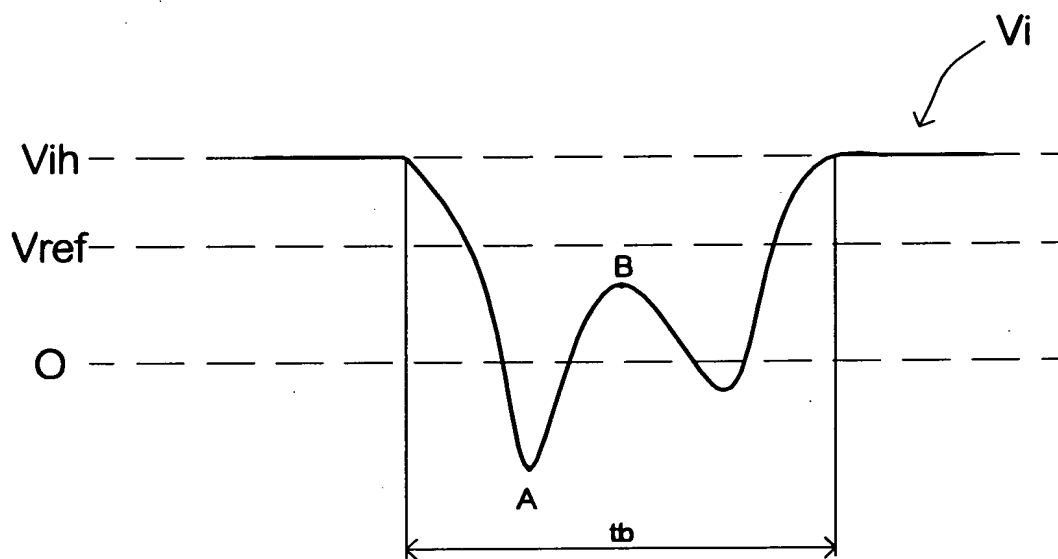
第 1 圖



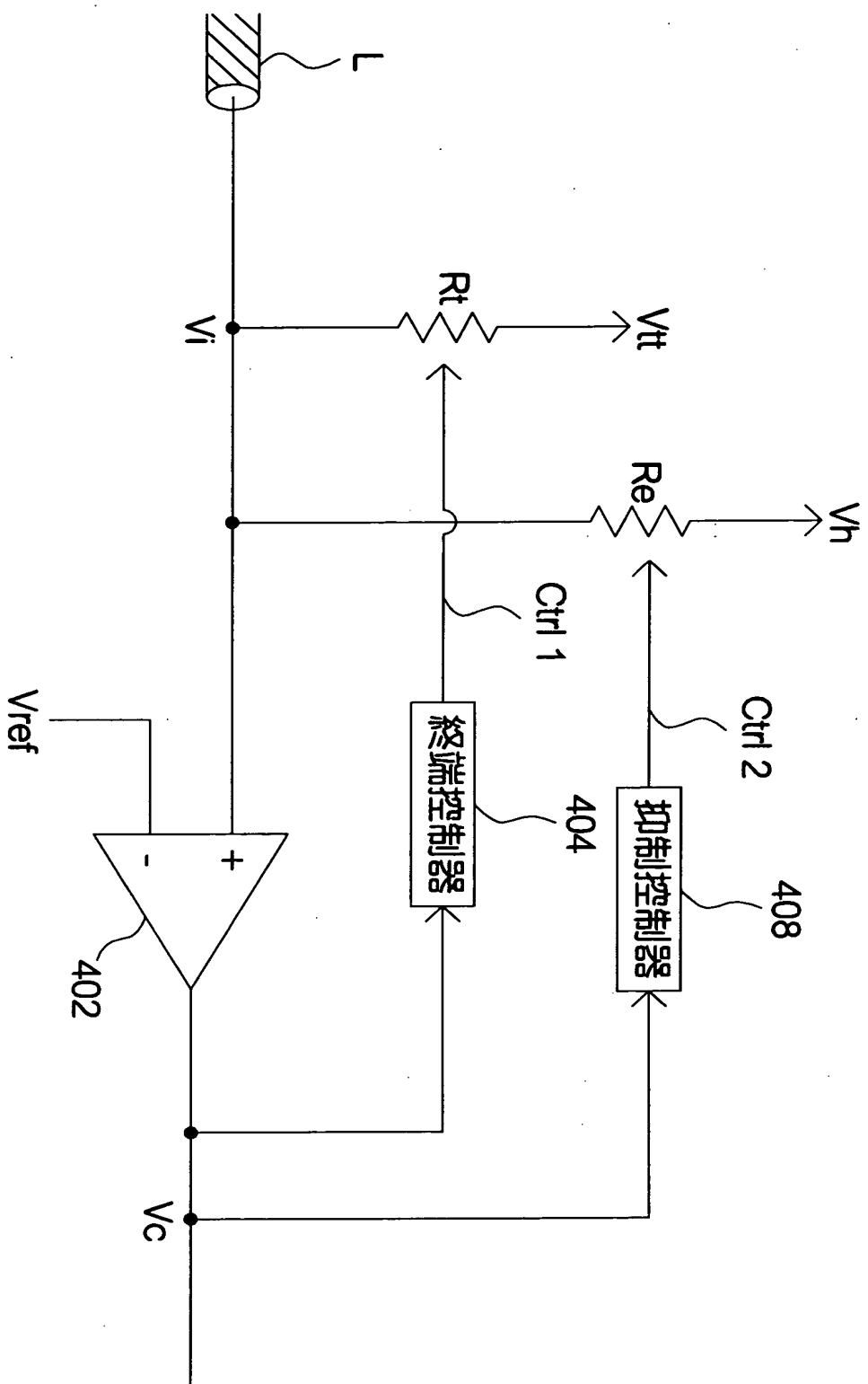
第 2 圖



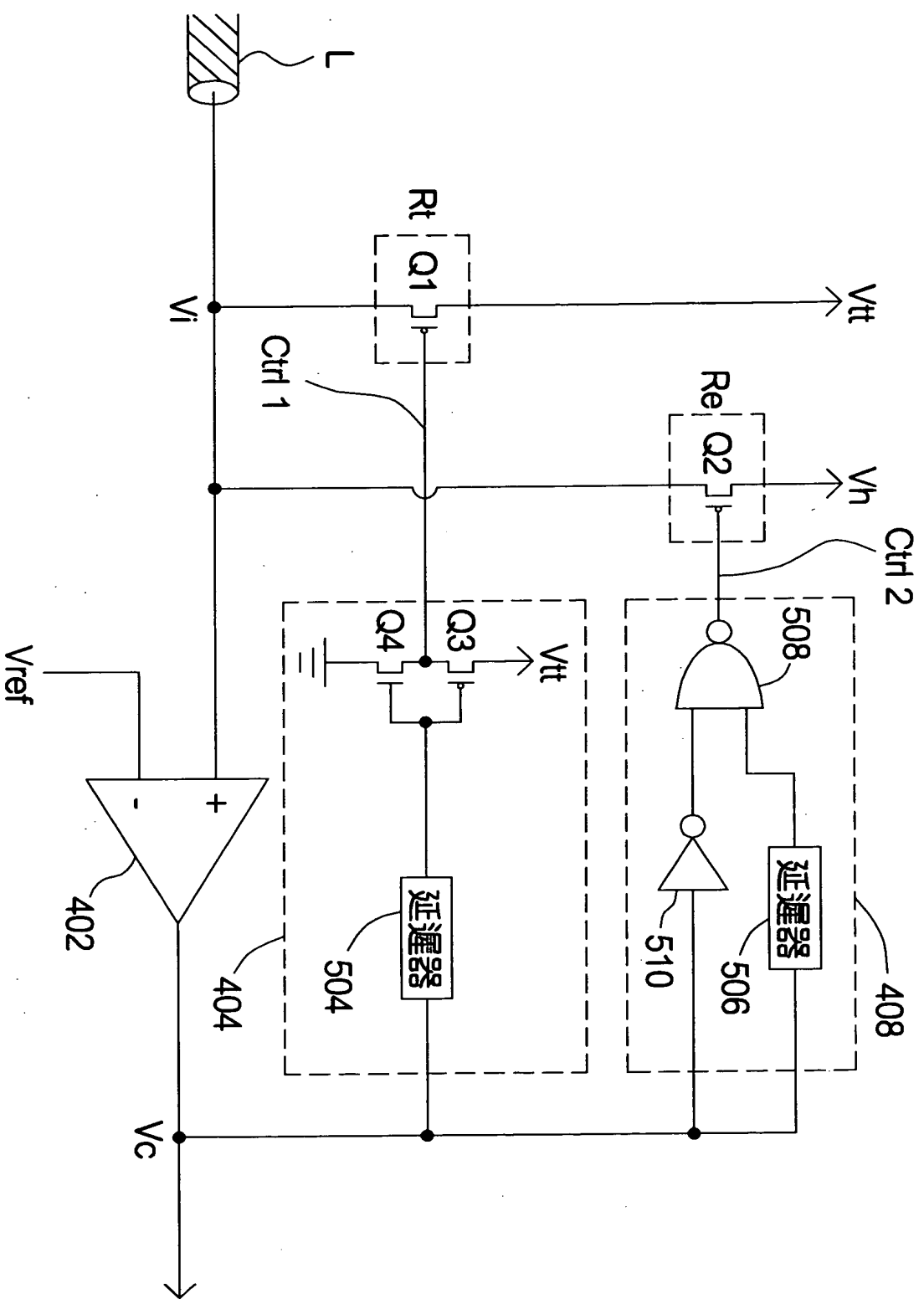
第 3A 圖



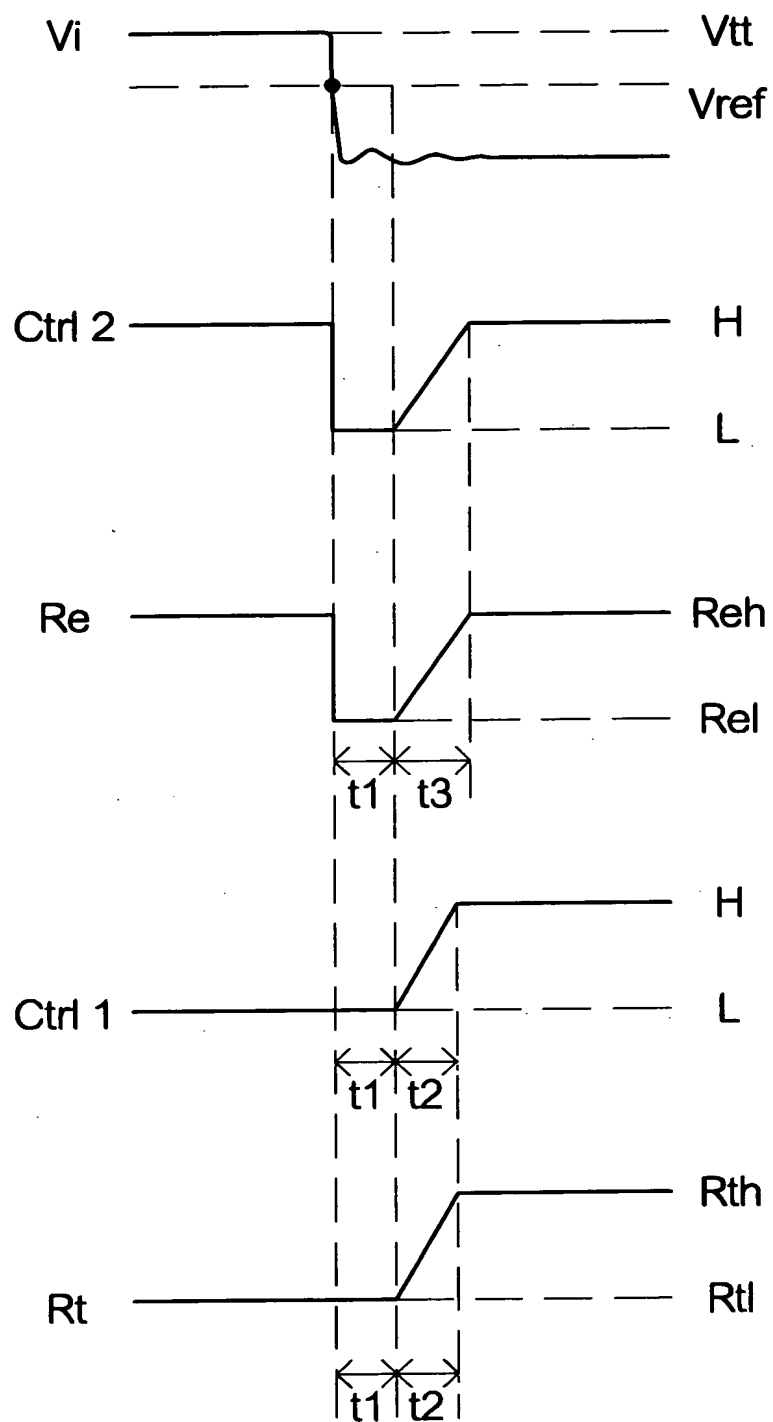
第 3B 圖



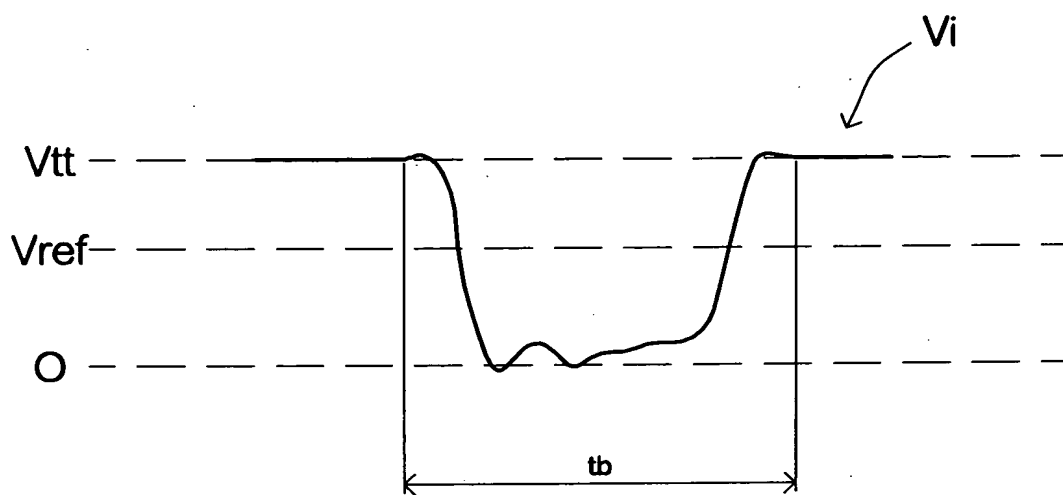
第4圖



第5圖



第 6 圖



第 7 圖